

IN THE U.S. PATENT AND TRADEMARK OFFICE

1c714 U.S. PTO
09/615956
07/13/00

Applicant(s): MIYACHI, Kumi and YAMASHITA, Toshifumi

Application No.:

Group:

Filed: July 13, 2000

Examiner:

For: SEMICONDUCTOR DEVICE

3/4 Priority Doc.
E. Willis
1-17-01

LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

July 13, 2000
1248-0509P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	11-318485	11/09/99

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH LLP

By: Terrell C. Birch

TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/dpt

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1999年11月 9日

出 願 番 号
Application Number:

平成11年特許願第318485号

願 人
Applicant(s):

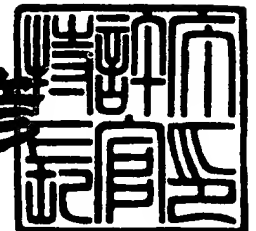
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 4月28日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



【書類名】 特許願

【整理番号】 99J03002

【提出日】 平成11年11月 9日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G01R 31/28

【発明の名称】 半導体装置

【請求項の数】 3

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 宮地 久美

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 山下 利文

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100080034

 【弁理士】

 【氏名又は名称】 原 謙三

 【電話番号】 06-6351-4384

【手数料の表示】

 【予納台帳番号】 003229

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

複数の半導体集積回路チップを一体に封止して成る半導体装置において、
各チップにおけるコアロジックの各入出力端にそれぞれ介在されるテスト用レジスタと、

各チップに搭載され、該チップをテストするために前記各テスト用レジスタを制御する制御回路ならびに該制御回路に接続されるテスト命令・データの入出力端および前記テストに使用する信号の入力端とを含み、

装置のテスト命令・データ入力端を第 1 段目のチップのテスト命令・データ入力端に接続するとともに、前段側のチップのテスト命令・データ出力端を後段側のチップのテスト命令・データ入力端に縦続接続してゆき、最終段のチップのテスト命令・データ出力端を前記装置のテスト命令・データ出力端に接続し、装置の前記テストに使用する信号の入力端を各チップの対応する信号の入力端に接続することを特徴とする半導体装置。

【請求項 2】

複数の半導体集積回路チップを一体に封止して成る半導体装置において、
各チップにおけるコアロジックの各入出力端にそれぞれ介在されるテスト用レジスタと、

各チップに搭載され、該チップをテストするために前記各テスト用レジスタを制御する制御回路ならびに該制御回路に接続されるテスト命令・データの入出力端および該制御回路に接続される前記テストに使用する信号の入力端とを含み、

装置のテスト命令・データ入力端を第 1 段目のチップのテスト命令・データ入力端に接続し、各チップのテスト命令・データ出力端を装置の対応する各出力端に接続するとともに、該出力端を介して後段側のチップのテスト命令・データ入力端に縦続接続してゆき、装置の前記テストに使用する信号の入力端を各チップの対応する信号の入出力端に接続することを特徴とする半導体装置。

【請求項 3】

複数の半導体集積回路チップを一体に封止して成る半導体装置において、各チップにおけるコアロジックの各入出力端にそれぞれ介在されるテスト用レジスタと、

第 1 段目のチップに搭載され、チップをテストするために前記各テスト用レジスタを制御する制御回路ならびに該制御回路に接続されるテスト命令・データの中継入出力端および該制御回路から出力される前記テストに使用する信号の出力端とを含み、

装置のテスト命令・データ入力端および出力端を前記第 1 段目のチップのテスト命令・データ入力端および出力端にそれぞれ接続し、該第 1 段目のチップの前記中継出力端を次段のチップのテスト命令・データ入力端に接続し、以降前段側のチップのテスト命令・データ出力端を後段側のチップのテスト命令・データ入力端に縦続接続してゆき、最終段のチップのテスト命令・データ出力端を前記第 1 段目のチップの中継入力端に接続してループを形成するとともに、該第 1 段目のチップの前記テストに使用する信号の出力端を残余のチップにおける前記テストに使用する信号の入力端に接続することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の半導体集積回路チップを一体に封止して成る半導体装置に関し、特にそのテストを行うための構成に関する。

【0002】

【従来の技術】

近年、半導体集積回路チップの高集積化に伴って、I C, L S I 等のデバイス（半導体装置）のピン数が増加している。一方、これらのデバイスを、基板に高密度に実装したいという要望があり、パッケージの小型化が進んでいる。その結果、テストを行うにあたって、ピン間隔がテスト用のプローブの直径を下回ってしまい、プリント基板のパターン面から前記プローブを接触させて測定を行う、従来からの、いわゆるインサーキット手法を用いることが困難であるという問題が生じている。

【0003】

このため、テストパッドの位置を工夫するなどして対応しており、余分な基板スペースが必要となり、前記高密度実装の妨げとなっている。また、BGA (Ball Grid Array) パッケージでは、パッケージの裏側にボール状のリードが並んでおり、表面実装した後では、前記プローブを接触させること自体が不可能である。

【0004】

特に、複数の半導体集積回路チップを、上下の積層構造から成る、または多層構造から成る、いわゆるスタックドデバイスや、平面に配置して成る、いわゆるマルチチップモジュールでは、前記高集積化に伴うピン数の増加によって、上記問題が顕著である。

【0005】

そこで、このような問題を解決するために、複数のICパッケージを実装した基板の新しいテスト法として、JTAGテストまたはIEEE 1149.1準拠のテストと称されるバウンダリスキャンテスト法が開発された。そして近年では、マイクロプロセッサの殆どがこのバウンダリスキャンテストに対応しており、また周辺回路の一部も対応するようになってきている。バウンダリスキャンテストは、プリント基板に実装されたICやLSIパッケージデバイスのピンが間違いなく接続されているか否かを、プリント基板外部のホストコンピュータ等のテスターから信号を送って調べる手法である。

【0006】

前記バウンダリスキャンテストに対応したデバイスは、たとえば図6で示すように構成されており、デバイス本来の機能を実現するコアロジック1の他に、バウンダリスキャンレジスタ（以降、BSRと略称する）2と、インストラクションレジスタ3と、バイパスレジスタ4と、オプションレジスタ5と、それらを制御するテストアクセスポート（以降、TAPと略称する）6と、前記TAP6を制御するコントローラ（以降、TAPCと略称する）7となどを備えて構成されており、前記コアロジック1自体の構成はどのようなものであってもよい。

【0007】

前記TAP 6は、コアロジック 1 に対する命令やデータおよびテスト結果の入出力を行うシリアルインタフェースであり、バウンダリスキャンテストの規格上、下記の 5 本の信号線TDI, TDO, TCK, TMS, TRSTから成る。ただし、TRSTは、オプションである。前記BSR 2は、前記コアロジック 1 の各入出力端と対応するピン 8 との間にそれぞれ介在されるセルと称されるシフトレジスタ 2 s を一連に接続したものであり、前記シフトレジスタ 2 s が従来のブロープと等価な働きをし、前記信号線TDI, TDOとコアロジック 1 の各入出力端とを接続する。また、前記信号線TDI, TDO間には、前記バイパスレジスタ 4、インストラクションレジスタ 3 およびオプションレジスタ 5 が相互に並列に介在される。

【0008】

前記TDIは前記コアロジック 1 に対して命令やデータをシリアル入力する信号線であり、前記TDOは前記コアロジック 1 からのデータをシリアル出力する信号線であり、前記TCKは前記コアロジック 1 に固有のシステムクロックとは独立したテスト用のクロックを供給する信号線であり、前記TMSはテスト動作を制御する信号線であり、前記TRSTは前記TAPCを非同期に初期化する信号線である。これらの 5 本の信号線を外部のホストコンピュータで制御することによって、前記バウンダリスキャンテストが可能となっている。

【0009】

バウンダリスキャンテストの内容については、たとえば「JTAGテストの基礎と応用」(1998. 12. 1、CQ出版社)や、特開平5-322988号公報などに示されている。

【0010】

図7は、従来のバウンダリスキャンテストの手法を説明するための図である。テスト対象のプリント基板 1 1 上には、複数のデバイスIC 1, IC 2, ..., IC n (以下、総称するときには参照符ICで示す) が実装されている。プリント基板 1 1 の辺縁部にはコネクタ 1 2 が搭載されており、このコネクタ 1 2 にホストコンピュータ 1 3 が接続される。

【0011】

各デバイス I C において、前記信号線 T C K , T M S , T R S T に対応するピンは、プリント基板 1 1 上に形成されたパターンを介して、相互に並列に、前記コネクタ 1 2 の対応するピンに接続される。一方、前記信号線 T D I , T D O , に対応するピンは、前段側のデバイスの信号線 T D O に対応するピンが後段側のデバイスの信号線 T D I に対応するピンへと順次縦続接続されてゆき、また第 1 段目のデバイスの信号線 T D I に対応するピンおよび最終段のデバイスの信号線 T D O に対応するピンは、コネクタ 1 2 の対応するピンに接続されている。

【 0 0 1 2 】

このように構成されたプリント基板 1 1 において、ホストコンピュータ 1 3 によって各デバイス I C を制御することによって、総てのデバイス I C に対して一斉に、バウンダリスキャンテストが行われる。なお、各デバイス I C 固有のファンクションテストは、上記ピンとは異なるピンを使用して、各デバイス I C 毎に個別に、順次行われてゆく。

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、前記スタックドデバイスやマルチチップモジュールなどの複数の半導体集積回路チップを一体に封止して成るデバイスにおいて、既存のチップをそのまま一体に封止しただけでは、前記バウンダリスキャンテストを可能にするために、各チップ毎に前記 5 本の信号線が必要となってピン数が増加し、またそのピン数の増加によって基板上でのテストパターン長が長くなる。また、各チップ数分の回数だけ、テストを行う必要が生じる。

【 0 0 1 4 】

本発明の目的は、複数の半導体集積回路チップを一体に封止して成る半導体装置において、少ないピン数で、かつ 1 回でテストを行うことができる半導体装置を提供することである。

【 0 0 1 5 】

【課題を解決するための手段】

本発明の半導体装置は、複数の半導体集積回路チップを一体に封止して成る半導体装置において、各チップにおけるコアロジックの各入出力端にそれぞれ介在

されるテスト用レジスタと、各チップに搭載され、該チップをテストするために前記各テスト用レジスタを制御する制御回路ならびに該制御回路に接続されるテスト命令・データの入出力端および前記テストに使用する信号の入力端とを含み、装置のテスト命令・データ入力端を第1段目のチップのテスト命令・データ入力端に接続するとともに、前段側のチップのテスト命令・データ出力端を後段側のチップのテスト命令・データ入力端に縦続接続してゆき、最終段のチップのテスト命令・データ出力端を前記装置のテスト命令・データ出力端に接続し、装置の前記テストに使用する信号の入力端を各チップの対応する信号の入力端に接続することを特徴とする。

【0016】

上記の構成によれば、複数の半導体集積回路チップを一体に封止して成る半導体装置にバウンダリスキャンテストなどのテストを行うにあたって、各チップには、バウンダリスキャンテスト対応チップにおけるBSRなどのテスト用レジスタおよびTAPCなどの制御回路を搭載するとともに、TDI, TDOなどのテスト命令・データ入出力端およびTCK, TMS, TRSTなどのテストに使用する信号の入力端を搭載する。

【0017】

一方、装置のテスト命令・データ入力端を第1段目のチップのテスト命令・データ入力端に接続し、また最終段のチップのテスト命令・データ出力端を前記装置のテスト命令・データ出力端に接続するとともに、チップ間の接続を利用して、前段側のチップのテスト命令・データ出力端を後段側のチップのテスト命令・データ入力端に装置内で縦続接続してゆき、装置の前記テストに使用する信号の入力端を各チップの対応する信号の入力端に接続する。

【0018】

したがって、装置のテスト命令・データ入力端および出力端ならびにテストに使用する信号の入力端を必要最小限、たとえば前記バウンダリスキャンテストに対応する場合には、4または5ピンとし、少ないピン数でテストを行うことができ、基板上でのテストパターン長を短くすることができる。また、1回でテストを行うことができる。

【0019】

また、本発明の半導体装置は、複数の半導体集積回路チップを一体に封止して成る半導体装置において、各チップにおけるコアロジックの各入出力端にそれぞれ介在されるテスト用レジスタと、各チップに搭載され、該チップをテストするために前記各テスト用レジスタを制御する制御回路ならびに該制御回路に接続されるテスト命令・データの入出力端および該制御回路に接続される前記テストに使用する信号の入力端とを含み、装置のテスト命令・データ入力端を第1段目のチップのテスト命令・データ入力端に接続し、各チップのテスト命令・データ出力端を装置の対応する各出力端に接続するとともに、該出力端を介して後段側のチップのテスト命令・データ入力端に縦続接続してゆき、装置の前記テストに使用する信号の入力端を各チップの対応する信号の入出力端に接続することを特徴とする。

【0020】

上記の構成によれば、複数の半導体集積回路チップを一体に封止して成る半導体装置にバウンダリスキャンテストなどのテストを行うにあたって、各チップには、バウンダリスキャンテスト対応チップにおけるBSRなどのテスト用レジスタおよびTAPCなどの制御回路を搭載するとともに、TDI、TDOなどのテスト命令・データ入出力端およびTCK、TMS、TRSTなどのテストに使用する信号の入力端を搭載する。

【0021】

一方、装置のテスト命令・データ入力端を第1段目のチップのテスト命令・データ入力端に接続し、また各チップのテスト命令・データ出力端を前記装置のテスト命令・データ出力端にそれぞれ接続するとともに、直接チップ間の接続を行えないために、前段側のチップのテスト命令・データ出力端を前記装置の出力端を介して後段側のチップのテスト命令・データ入力端に縦続接続してゆき、装置の前記テストに使用する信号の入力端を各チップの対応する信号の入力端に接続する。

【0022】

したがって、直接チップ間の接続を行えない場合に、装置のテスト命令・デー

タ出力端はチップ数分必要となるけれども、装置のテスト命令・データ入力端ならびにテストに使用する信号の入力端を必要最小限、たとえば前記バウンダリスキャンテストに対応する場合には、3または4ピンとし、少ないピン数でテストを行うことができ、基板上でのテストパターン長を短くすることができる。また、1回でテストを行うことができる。

【0023】

さらにまた、本発明の半導体装置は、複数の半導体集積回路チップを一体に封止して成る半導体装置において、各チップにおけるコアロジックの各入出力端にそれぞれ介在されるテスト用レジスタと、第1段目のチップに搭載され、チップをテストするために前記各テスト用レジスタを制御する制御回路ならびに該制御回路に接続されるテスト命令・データの中継入出力端および該制御回路から出力される前記テストに使用する信号の出力端とを含み、装置のテスト命令・データ入力端および出力端を前記第1段目のチップのテスト命令・データ入力端および出力端にそれぞれ接続し、該第1段目のチップの前記中継出力端を次段のチップのテスト命令・データ入力端に接続し、以降前段側のチップのテスト命令・データ出力端を後段側のチップのテスト命令・データ入力端に縦続接続してゆき、最終段のチップのテスト命令・データ出力端を前記第1段目のチップの中継入力端に接続してループを形成するとともに、該第1段目のチップの前記テストに使用する信号の出力端を残余のチップにおける前記テストに使用する信号の入力端に接続することを特徴とする。

【0024】

上記の構成によれば、複数の半導体集積回路チップを一体に封止して成る半導体装置にバウンダリスキャンテストなどのテストを行うにあたって、各チップには、バウンダリスキャンテスト対応チップにおけるBSRなどのテスト用レジスタを搭載するとともに、TDI、TDOなどのテスト命令・データ入出力端およびTCK、TMS、TRSTなどのテストに使用する信号の入力端を搭載する。

【0025】

一方、TAPCなどの制御回路を第1段目のチップにのみ搭載する。これに合わせて、該第1段目のチップには、テスト命令・データの中継入出力端および該

制御回路から出力される前記テストに使用する信号の出力端を搭載し、前記テストに使用する信号は、チップ間の接続を利用して、該第 1 段目のチップから残余のチップに配分する。また、テスト命令・データに対しては、チップ間の接続を利用して、第 1 段目のチップの中継出力端を次段のチップのテスト命令・データ入力端に接続し、以降前段側のチップのテスト命令・データ出力端を後段側のチップのテスト命令・データ入力端に縦続接続してゆき、最終段のチップのテスト命令・データ出力端を前記第 1 段目のチップの中継入力端に接続してループを形成することによって、各チップに供給する。

【0026】

したがって、装置のテスト命令・データ入力端および出力端ならびにテストに使用する信号の入力端を必要最小限、たとえば前記バウンダリスキャンテストに対応する場合には、4 または 5 ピンとし、少ないピン数でテストを行うことができ、基板上でのテストパターン長を短くすることができる。また、1 回でテストを行うことができる。さらにまた、複数のチップに共用される制御回路は第 1 段目のチップのみに形成すればよく、残余のチップのゲート数を抑えてチップ面積を縮小することができるとともに、工数を削減することができる。

【0027】

【発明の実施の形態】

本発明の実施の一形態について、図 1 および図 2 ならびに前記図 6 に基づいて説明すれば以下のとおりである。

【0028】

図 1 は、本発明の実施の一形態の半導体装置であるスタックドデバイス 21 内の電気回路図である。このスタックドデバイス 21 内には、複数のチップ $ic1$ 、 $ic2$ 、 $ic3$ （以下、総称するときには参照符 ic で示す）が相互に一体で封止されている。各チップ ic は、ともに前記図 6 で示すデバイス本来の機能を実現するコアロジック 1 の他に、前記 BSR 2 と、インストラクションレジスタ 3 と、バイパスレジスタ 4 と、オプションレジスタ 5 と、それらを制御する TAP 6 と、前記 TAP 6 を制御する TAPC 7 となどを備えて構成されており、前記コアロジック 1 自体の構成はどのようなものであってもよい。

【 0 0 2 9 】

各チップ i c において、前記信号線 T C K , T M S , T R S T に対応するパッド A C , A M , A R は、ワイヤー W C , W M , W R を介して、相互に並列に、該スタックドデバイス 2 1 の対応するピン B C , B M , B R にそれぞれ接続される。一方、前記信号線 T D I , T D O に対応するパッド A I , A O は、チップ間を接続するワイヤー W O I を介して、前段側のデバイスの信号線 T D O に対応するパッド A O が後段側のデバイスの信号線 T D I に対応するパッド A I へと順次縦続接続されてゆき、また第 1 段目のチップ i c 1 の信号線 T D I に対応するパッド A I および最終段のチップ i c 3 の信号線 T D O に対応するパッド A O は、対応するピン B I , B O にそれぞれ接続されている。

【 0 0 3 0 】

同様に、通常のコアロジック 1 のための信号線 P A D 1 , P A D 2 , P A D 3 ; P A D 4 , P A D 5 , P A D 6 に対応するパッド A 1 , A 2 , A 3 ; A 4 , A 5 , A 6 は、チップ間を接続するワイヤー W 4 1 , W 5 2 , W 6 3 をそれぞれ介して、相互に並列に、前段側のチップの出力信号線 P A D 4 , P A D 5 , P A D 6 に対応するパッド A 4 , A 5 , A 6 が後段側のチップの入力信号線 P A D 1 , P A D 2 , P A D 3 に対応するパッド A 1 , A 2 , A 3 へと接続され、また第 1 段目のチップ i c 1 の入力信号線 P A D 1 , P A D 2 , P A D 3 に対応するパッド A 1 , A 2 , A 3 および最終段のチップ i c 3 の出力信号線 P A D 4 , P A D 5 , P A D 6 に対応するパッド A 4 , A 5 , A 6 は、ワイヤー W 1 , W 2 , W 3 ; W 4 , W 5 , W 6 をそれぞれ介して、相互に並列に、対応するピン B 1 , B 2 , B 3 ; B 4 , B 5 , B 6 にそれぞれ接続されている。

【 0 0 3 1 】

このように構成されたスタックドデバイス 2 1 は、前記図 7 で示すデバイス I C 1 や I C 2 として、テスト対象のプリント基板 1 1 上に搭載され、前記ホストコンピュータ 1 3 によって各チップの T A P 6 を制御することによって、該スタックドデバイス 2 1 内の総てのチップ i c に対して一斉に、バウンダリスキャンテストが行われる。なお、各チップ i c 固有のファンクションテストは、前記ピン B 1 ~ B 6 などを使用して、各チップ i c 毎に個別に、順次行われてゆく。

【 0 0 3 2 】

このようにして、デバイスのテスト命令・データ入力ピン B I および出力ピン B O ならびにテストに使用する信号の入力ピン B C, B M, B R を必要最小限の 4 (B R を省略した場合) または 5 ピンとし、少ないピン数でテストを行うことができ、プリント基板 1 1 上でのテストパターン長を短くすることができる。また、1 回でテストを行うことができる。

【 0 0 3 3 】

図 2 は、前記スタックドデバイス 2 1 の一構造例を示す断面図である。なお、前記図 1 では、チップは、i c 1, i c 2, i c 3 の 3 つであったけれども、説明の簡略化のために、この図 2 ではチップは 2 つとする。該スタックドデバイス 2 1 は、基板 2 2 の一方面側に、2 つのチップ i c 1, i c 2 が積層されて構成され、前記基板 2 2 の他方面側に、半田バンプ 2 3 がマトリクス状に配列された B G A 構造の半導体装置である。各チップ i c 1, i c 2 は、基板 2 2 上のパッドと、ワイヤー W によってそれぞれ接続されており、該基板 2 2 上のパターンを介して、前記半田バンプ 2 3 と接続されている。各チップ i c 1, i c 2 は、モールド樹脂 2 4 によって、相互に一体で気密に封止されている。

【 0 0 3 4 】

このように、このスタックドデバイス 2 1 では、基板 2 2 の一方面側に 2 つのチップ i c 1, i c 2 が積層されており、前記ワイヤー W O I やワイヤー W 4 1, W 5 2, W 6 3 によってチップ i c 1, i c 2 間の接続が可能となっている。

【 0 0 3 5 】

本発明の実施の他の形態について、図 3 および図 4 ならびに前記図 6 に基づいて説明すれば以下のとおりである。

【 0 0 3 6 】

図 3 は、本発明の実施の他の形態の半導体装置であるスタックドデバイス 3 1 内の電気回路図である。このスタックドデバイス 3 1 は、上述のスタックドデバイス 2 1 に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。2 つのチップ i c 1, i c 2 は、ともに前記図 6 および図 1 と同様に、デバイス本来の機能を実現するコアロジック 1 の他に、前記 B S R 2 と、インスト

ラクションレジスタ3と、バイパスレジスタ4と、オプションレジスタ5と、それらを制御するTAP6と、前記TAP6を制御するTAPC7などを備えて構成されている。

【0037】

各チップicにおいて、前記信号線TCK, TMS, TRSTに対応するパッドAC, AM, ARは、ワイヤーWC, WM, WRを介して、相互に並列に、該スタックドデバイス31の対応するピンBC, BM, BRにそれぞれ接続される。また、前記信号線TDOに対応するパッドAOは、ワイヤーWOを介して、各チップic1, ic2毎に個別に設けられたピンBOにそれぞれ接続されており、バウンダリスキャンテスト出力が、シリアルでそれぞれ出力される。一方、前記信号線TDIに対応するパッドAIにおいて、第1段目のチップic1の信号線TDIに対応するパッドAIは、ワイヤーWIを介して、対応するピンBIに接続されているのに対して、後段のチップic2の信号線TDIに対応するパッドAIは、ワイヤーWOIを介して、前段のチップic1の信号線TDOに対応するピンBOに接続されている。

【0038】

また、各チップicの通常のコアロジック1のための信号線PAD1, PAD2, PAD3; PAD4, PAD5, PAD6に対応するパッドA1, A2, A3; A4, A5, A6は、ワイヤーW1, W2, W3; W4, W5, W6をそれぞれ介して、相互に並列に、個別に設けられたピンB1, B2, B3; B4, B5, B6にそれぞれ接続されている。

【0039】

このようにして、チップ間が直接接続できない場合にも、ピンBOを介してチップ間を接続することによって、デバイスのテスト命令・データ出力ピンBOは各チップic1, ic2毎に個別に必要となるけれども、残余のテスト命令・データ入力ピンBIおよびテストに使用する信号の入力ピンBC, BM, BRを必要最小限の3 (BRを省略した場合) または4ピンとし、少ないピン数でテストを行うことができ、プリント基板11上でのテストパターン長を短くすることができる。また、1回でテストを行うことができる。

【0040】

図4は、前記スタックドデバイス31の一構造例を示す断面図である。該スタックドデバイス31は、基板32の表裏両面に、各チップic2, ic1がそれぞれ貼合わせられ、一对の両側部からピン33がそれぞれ1列に配列されて形成されるDIL (Dual In Line) 構造の半導体装置である。したがって、前記のように、それぞれ基板32の表裏各面側となるチップic2, ic1間をワイヤーによって接続できないので、前記のようにテスト命令・データ出力ピンBOを介して接続される。各チップic1, ic2は、モールド樹脂24によって、相互に一体で気密に封止されている。

【0041】

本発明の実施のさらに他の形態について、図5および前記図2ならびに前記図6に基づいて説明すれば以下のとおりである。

【0042】

図5は、本発明の実施のさらに他の形態の半導体装置であるスタックドデバイス41内の電気回路図である。このスタックドデバイス41は、上述のスタックドデバイス21, 31に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。このスタックドデバイス41で用いられるチップic1a; ic2a, ic3aは、前記図6を参照して、デバイス本来の機能を実現するコアロジック1の他に、前記BSR2およびTAP6をそれぞれ備えている点は、前述のチップic1, ic2, ic3と同様であるけれども、第2段目以降のチップic2a, ic3aにはTAPC7ならびにインストラクションレジスタ3、バイパスレジスタ4およびオプションレジスタ5等は設けられておらず、第1段目のチップic1aのみに設けられている点で異なる。

【0043】

このため、チップic1aには、信号線TDI, TDOの中継信号線TDIa, TDOaおよび前記信号線TCK, TMS, TRSTに対応する出力信号線TAP0, TAP1, TAP2, TAP3, TAP4が設けられている。また、チップic2a, ic3aには、前記信号線TDIとともに、前記信号線TAP0, TAP1, TAP2, TAP3, TAP4が設けられている。

【0044】

第1段目のチップ i c 1 a において、前記信号線 T D I, T C K, T M S, T R S T に対応するパッド A I, A C, A M, A R は、ワイヤー W I, W C, W M, W R を介して、相互に並列に、該スタックドデバイス 4 1 の対応するピン B I, B C, B M, B R にそれぞれ接続される。また、前記中継信号線 T D O a に対応するパッド A O a は、ワイヤー W O を介して、ピン B O に接続される。

【0045】

一方、信号線 T A P 0, T A P 1, T A P 2, T A P 3, T A P 4 に対応するパッド C 0, C 1, C 2, C 3, C 4 は、チップ間を接続するワイヤー W 1 0, W 1 1, W 1 2, W 1 3, W 1 4 を介して、相互に並列に、チップ i c 2 a, i c 3 a の対応する信号線 T A P 0, T A P 1, T A P 2, T A P 3, T A P 4 のパッド C 0, C 1, C 2, C 3, C 4 にそれぞれ接続される。

【0046】

また、信号線 T D O に対応するパッド A O は、チップ間を接続するワイヤー W O I を介して、チップ i c 2 a の信号線 T D I に対応するパッド A I に接続され、同様に、チップ i c 2 の信号線 T D O に対応するパッド A O は、チップ間を接続するワイヤー W O I を介して、チップ i c 3 a の信号線 T D I に対応するパッド A I に接続される。そして、チップ i c 3 a の信号線 T D O に対応するパッド A O は、チップ間を接続するワイヤー W O I を介して、チップ i c 1 a の信号線 T D I a に対応するパッド A I a に接続されている。こうして、テスト命令・データ出力および入力の信号線 T D O, T D I がループ状に接続される。

【0047】

各チップ i c の通常のコアロジック 1 のための信号線 P A D 1, P A D 2, P A D 3 ; P A D 4, P A D 5, P A D 6 に対応するパッド A 1, A 2, A 3 ; A 4, A 5, A 6 は、ワイヤー W 1, W 2, W 3 ; W 4, W 5, W 6 をそれぞれ介して、相互に並列に、個別に設けられたピン B 1, B 2, B 3 ; B 4, B 5, B 6 にそれぞれ接続されている。

【0048】

このように構成されたスタックドデバイス 4 1 は、前記図 7 で示すホストコン

ピュータ 1 3 によってチップ i c 1 a の T A P C 7 を介して各チップ i c の T A P 6 を制御することによって、該スタックドデバイス 2 1 内の総てのチップ i c に対して一斉に、バウンダリスキャンテストが行われる。

【 0 0 4 9 】

このようにして、デバイスのテスト命令・データ入力ピン B I および出力ピン B O ならびにテストに使用する信号の入力ピン B C , B M , B R を必要最小限の 4 (B R を省略した場合) または 5 ピンとし、少ないピン数でテストを行うことができ、プリント基板 1 1 上でのテストパターン長を短くすることができる。また、1 回でテストを行うことができる。

【 0 0 5 0 】

さらにまた、複数のチップ i c で T A P C 7 ならびにインストラクションレジスタ 3、バイパスレジスタ 4 およびオプションレジスタ 5 等を共用するので、チップ i c 2 a , i c 3 a のゲート数を抑えてチップ面積を縮小することができるとともに、工数を削減することができる。たとえば、T A P C 1 つは、B S R のほぼ 2 0 ~ 3 0 個分のゲート数を有するので、前記チップ i c 2 a , i c 3 a では、その B S R の 2 0 ~ 3 0 個分のゲート数を削減することができる。また、チップ i c 2 a , i c 3 a では、コアロジック設計の度にバウンダリスキャンテストのための専用回路やピンをつけ加える必要はなくなり、設計工数としては、たとえば 1 0 日程度短縮することができる。

【 0 0 5 1 】

このスタックドデバイス 4 1 は、チップ間接続を利用しているので、その構造例は、前記スタックドデバイス 2 1 と同様に、前記図 2 で示すようになる。

【 0 0 5 2 】

【発明の効果】

本発明の半導体装置は、以上のように、複数の半導体集積回路チップを一体に封止して成る半導体装置にバウンダリスキャンテストなどのテストを行うにあたって、各チップにはテスト用レジスタおよび制御回路を搭載するとともに、装置のテスト命令・データ入力端を第 1 段目のチップのテスト命令・データ入力端に接続し、最終段のチップのテスト命令・データ出力端を前記装置のテスト命令・

データ出力端に接続するとともに、チップ間の接続を利用して、前段側のチップのテスト命令・データ出力端を後段側のチップのテスト命令・データ入力端に装置内で縦続接続してゆき、装置のテストに使用する信号の入力端を各チップの対応する信号の入力端に接続する。

【 0 0 5 3 】

それゆえ、装置のテスト命令・データ入力端および出力端ならびにテストに使用する信号の入力端を必要最小限とし、少ないピン数でテストを行うことができ、基板上でのテストパターン長を短くすることができる。また、1回でテストを行うことができる。

【 0 0 5 4 】

また、本発明の半導体装置は、以上のように、複数の半導体集積回路チップを一体に封止して成る半導体装置にバウンダリスキャンテストなどのテストを行うにあたって、各チップにはテスト用レジスタおよび制御回路を搭載するとともに、装置のテスト命令・データ入力端を第1段目のチップのテスト命令・データ入力端に接続し、各チップのテスト命令・データ出力端を前記装置のテスト命令・データ出力端にそれぞれ接続するとともに、直接チップ間の接続を行えないために、前段側のチップのテスト命令・データ出力端を前記装置の出力端を介して後段側のチップのテスト命令・データ入力端に縦続接続してゆき、装置のテストに使用する信号の入力端を各チップの対応する信号の入力端に接続する。

【 0 0 5 5 】

それゆえ、直接チップ間の接続を行えない場合に、装置のテスト命令・データ出力端はチップ数分必要となるけれども、装置のテスト命令・データ入力端ならびにテストに使用する信号の入力端を必要最小限とし、少ないピン数でテストを行うことができ、基板上でのテストパターン長を短くすることができる。また、1回でテストを行うことができる。

【 0 0 5 6 】

さらにまた、本発明の半導体装置は、以上のように、複数の半導体集積回路チップを一体に封止して成る半導体装置にバウンダリスキャンテストなどのテストを行うにあたって、各チップにはテスト用レジスタを搭載し、一方制御回路を第

1 段目のチップにのみ搭載し、これに合わせて該第 1 段目のチップには、テスト命令・データの中継入出力端および前記制御回路から出力されるテストに使用する信号の出力端を搭載し、該テストに使用する信号は、チップ間の接続を利用して、該第 1 段目のチップから残余のチップに配分する。また、テスト命令・データに対しては、チップ間の接続を利用して、第 1 段目のチップの中継出力端を次段のチップのテスト命令・データ入力端に接続し、以降前段側のチップのテスト命令・データ出力端を後段側のチップのテスト命令・データ入力端に縦続接続してゆき、最終段のチップのテスト命令・データ出力端を前記第 1 段目のチップの中継入力端に接続してループを形成することによって、各チップに供給する。

【0 0 5 7】

それゆえ、装置のテスト命令・データ入力端および出力端ならびにテストに使用する信号の入力端を必要最小限とし、少ないピン数でテストを行うことができ、基板上でのテストパターン長を短くすることができる。また、1 回でテストを行うことができる。さらにまた、複数のチップに共用される制御回路は第 1 段目のチップのみに形成すればよく、残余のチップのゲート数を抑えてチップ面積を縮小することができるとともに、工数を削減することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の一形態の半導体装置であるスタックドデバイス内の電気回路図である。

【図 2】

図 1 および図 5 で示すスタックドデバイスの一構造例を示す断面図である。

【図 3】

本発明の実施の他の形態の半導体装置であるスタックドデバイス内の電気回路図である。

【図 4】

図 3 で示すスタックドデバイスの一構造例を示す断面図である。

【図 5】

本発明の実施のさらに他の形態の半導体装置であるスタックドデバイス内の電

気回路図である。

【図 6】

バウンダリスキャンテストに対応したデバイスの一例を示すブロック図である。

【図 7】

従来のバウンダリスキャンテストの手法を説明するためのブロック図である。

【符号の説明】

- 1 コアロジック
- 2 B S R
- 3 インストラクションレジスタ
- 4 バイパスレジスタ
- 5 オプションレジスタ
- 6 T A P
- 7 T A P C
- 1 1 プリント基板
- 1 2 コネクタ
- 1 3 ホストコンピュータ
- 2 1, 3 1, 4 1 スタックドデバイス
- 2 2, 3 2 基板
- 2 3 半田バンプ
- 2 4 モールド樹脂
- 3 3 ピン
- A 1, A 2, A 3 ; A 4, A 5, A 6 パッド
- A I, A O, A C, A M, A R パッド
- A I a, A O a パッド
- B 1, B 2, B 3 ; B 4, B 5, B 6 ピン
- B I, B O, B C, B M, B R ピン
- C 0, C 1, C 2, C 3, C 4 パッド
- i c 1, i c 2, i c 3 チップ

ic1a; ic2a, ic3a チップ

PAD1, PAD2, PAD3; PAD4, PAD5, PAD6 信号線

TDI, TDO, TCK, TMS, TRST 信号線

TDIa, TDOa 中継信号線

TAP0, TAP1, TAP2, TAP3, TAP4 信号線

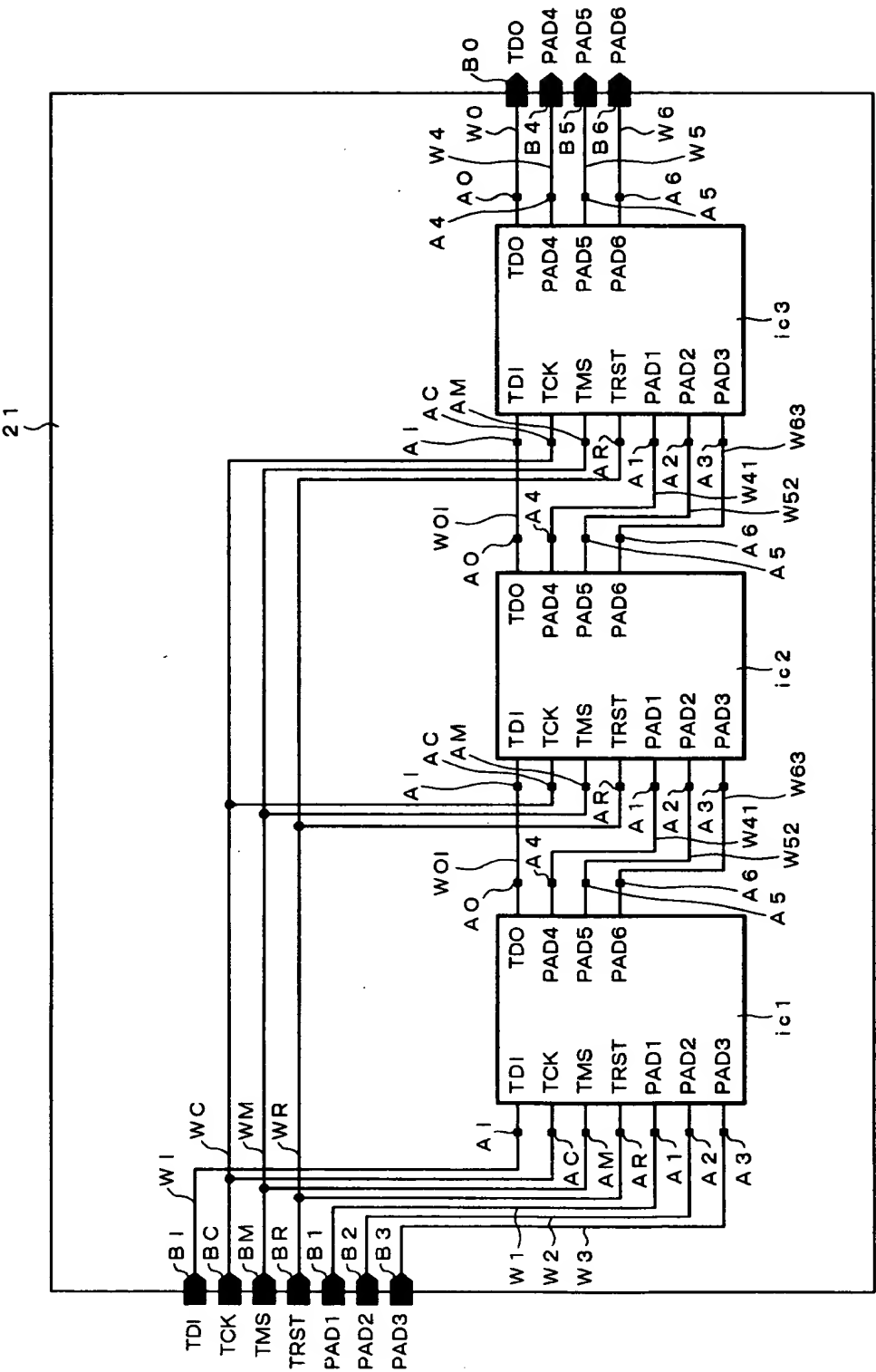
W ワイヤー

W10, W11, W12, W13, W14 ワイヤー

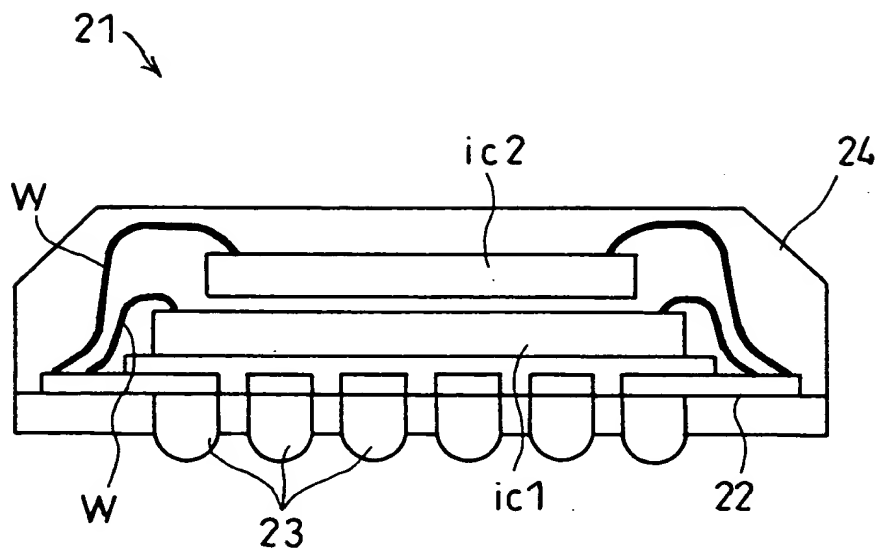
W41, W52, W63 ワイヤー

WI, WO, WC, WM, WR, WO.I ワイヤー

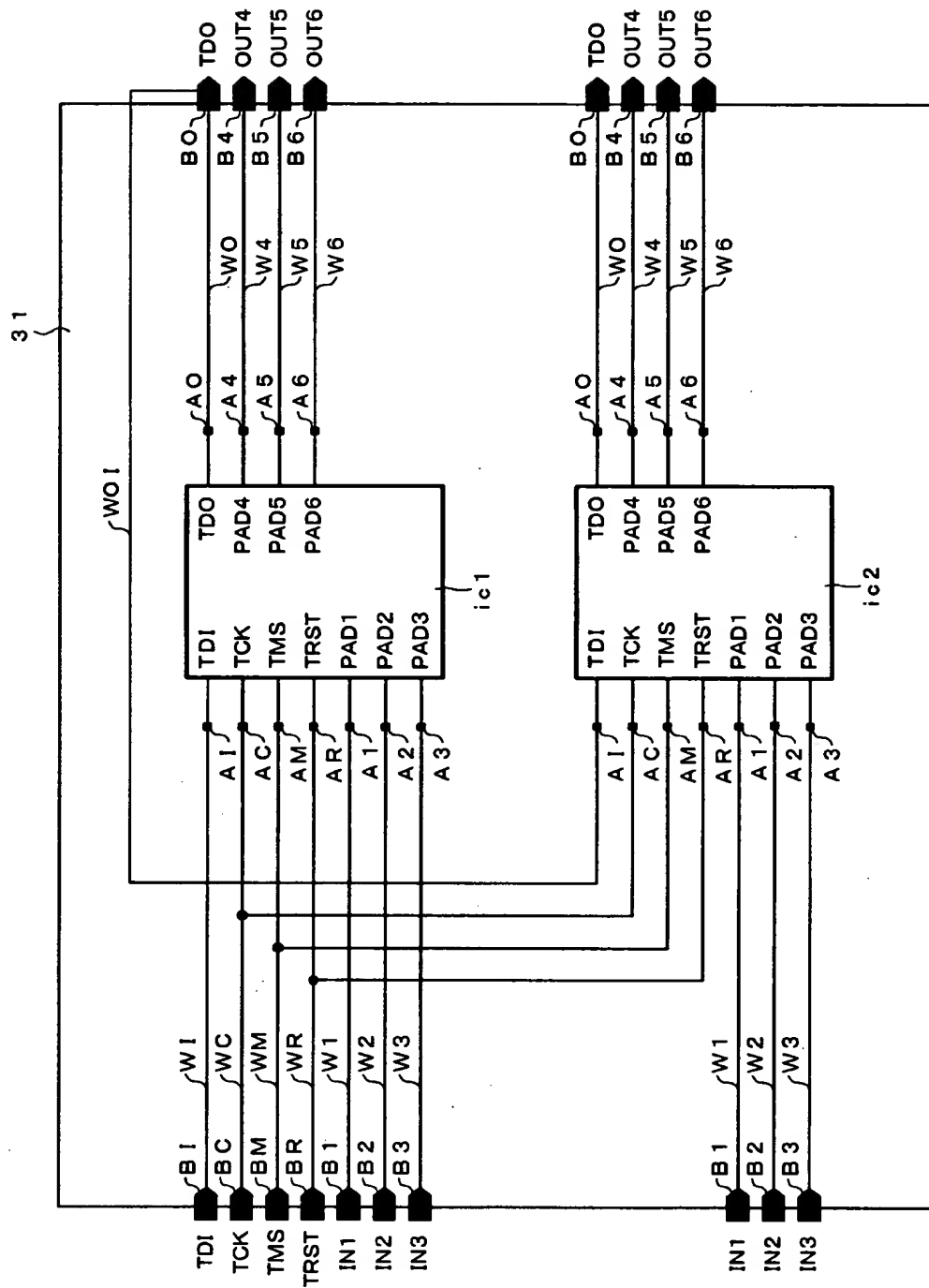
【書類名】 図面
【図 1】



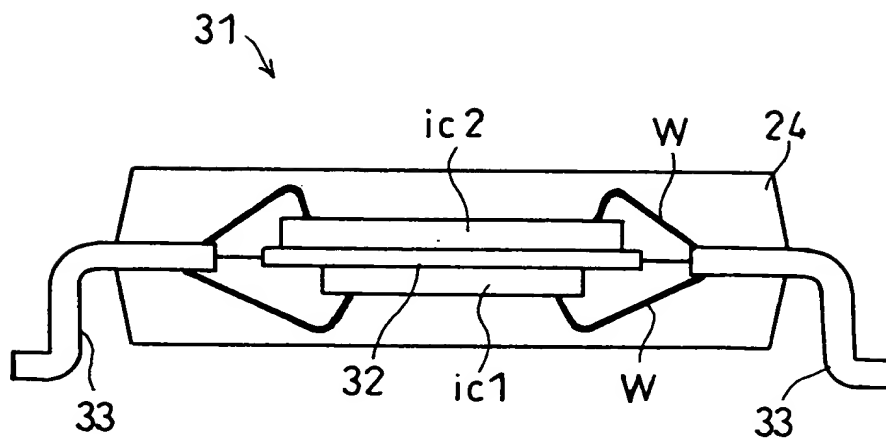
【図 2】



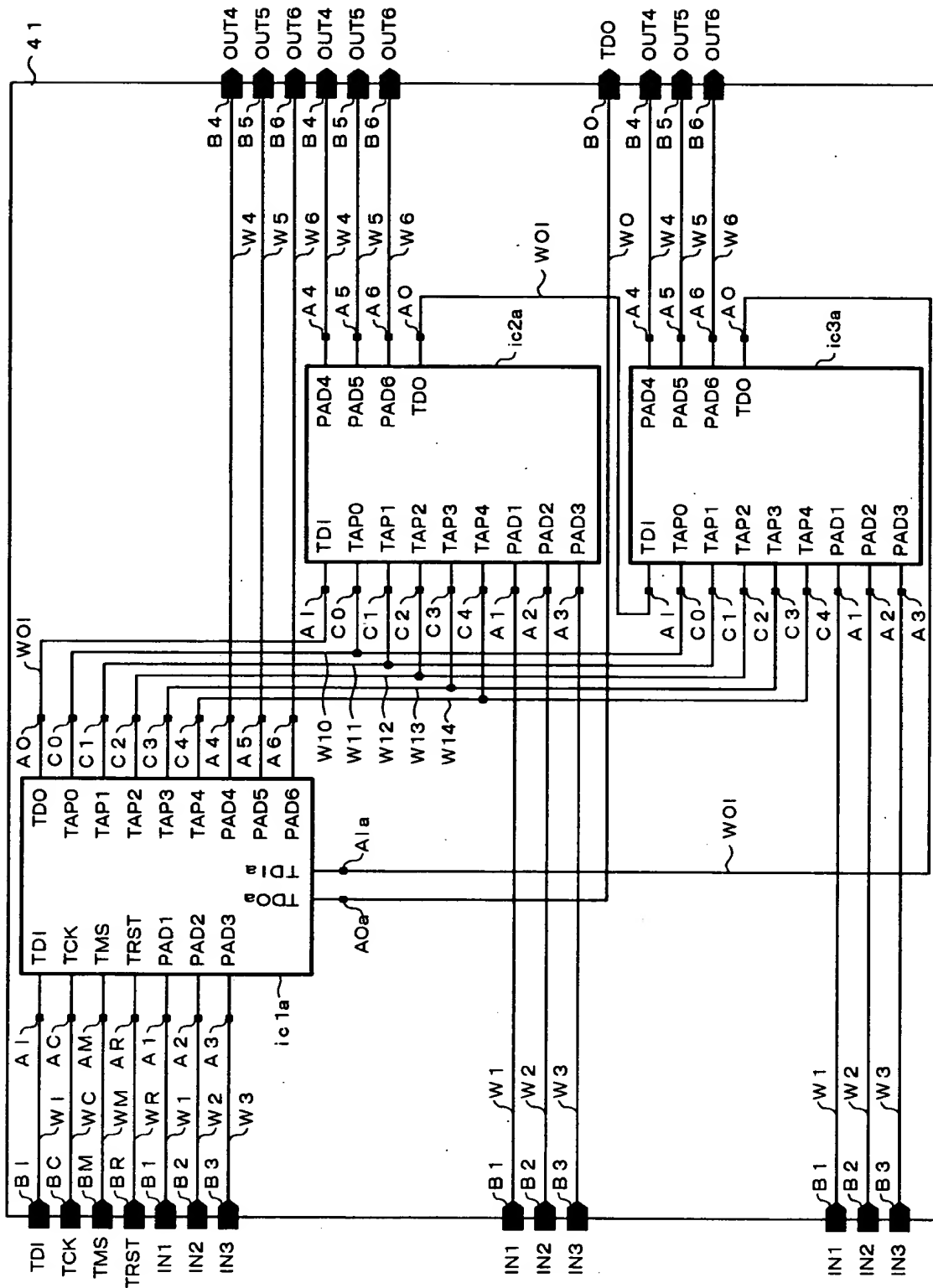
【図 3】



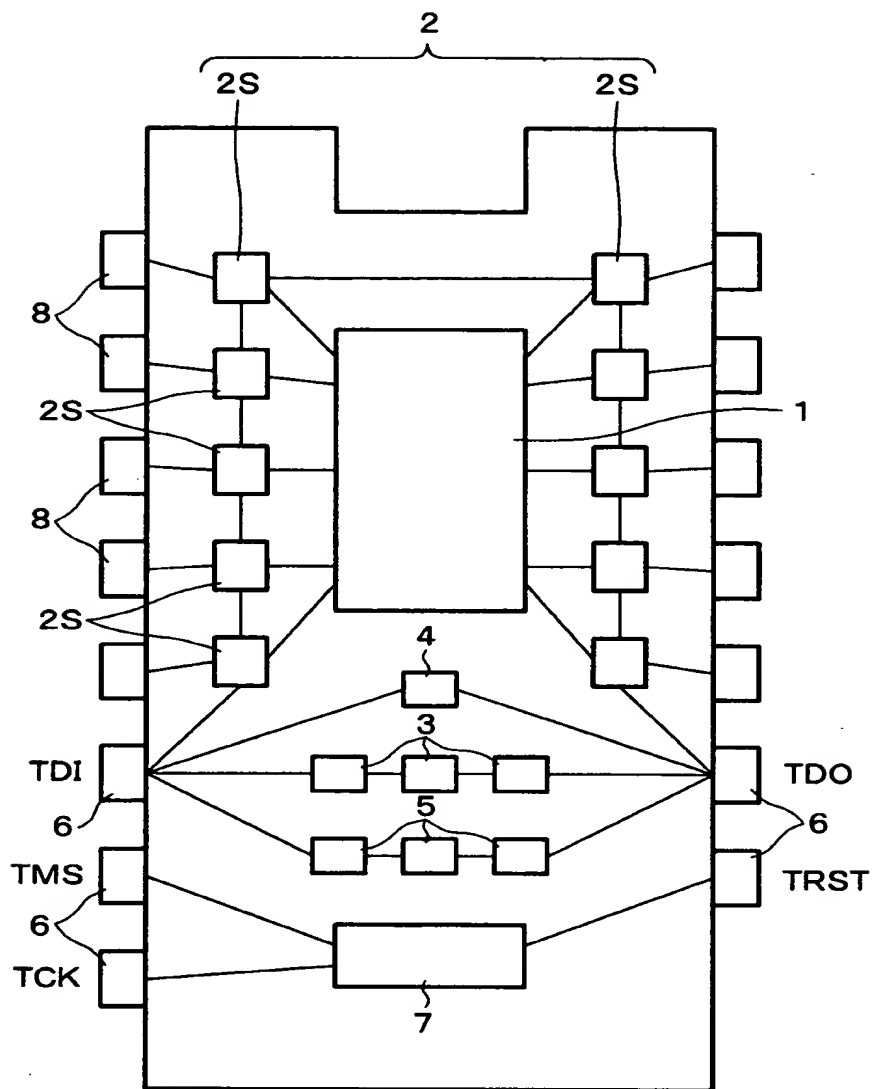
【図 4】



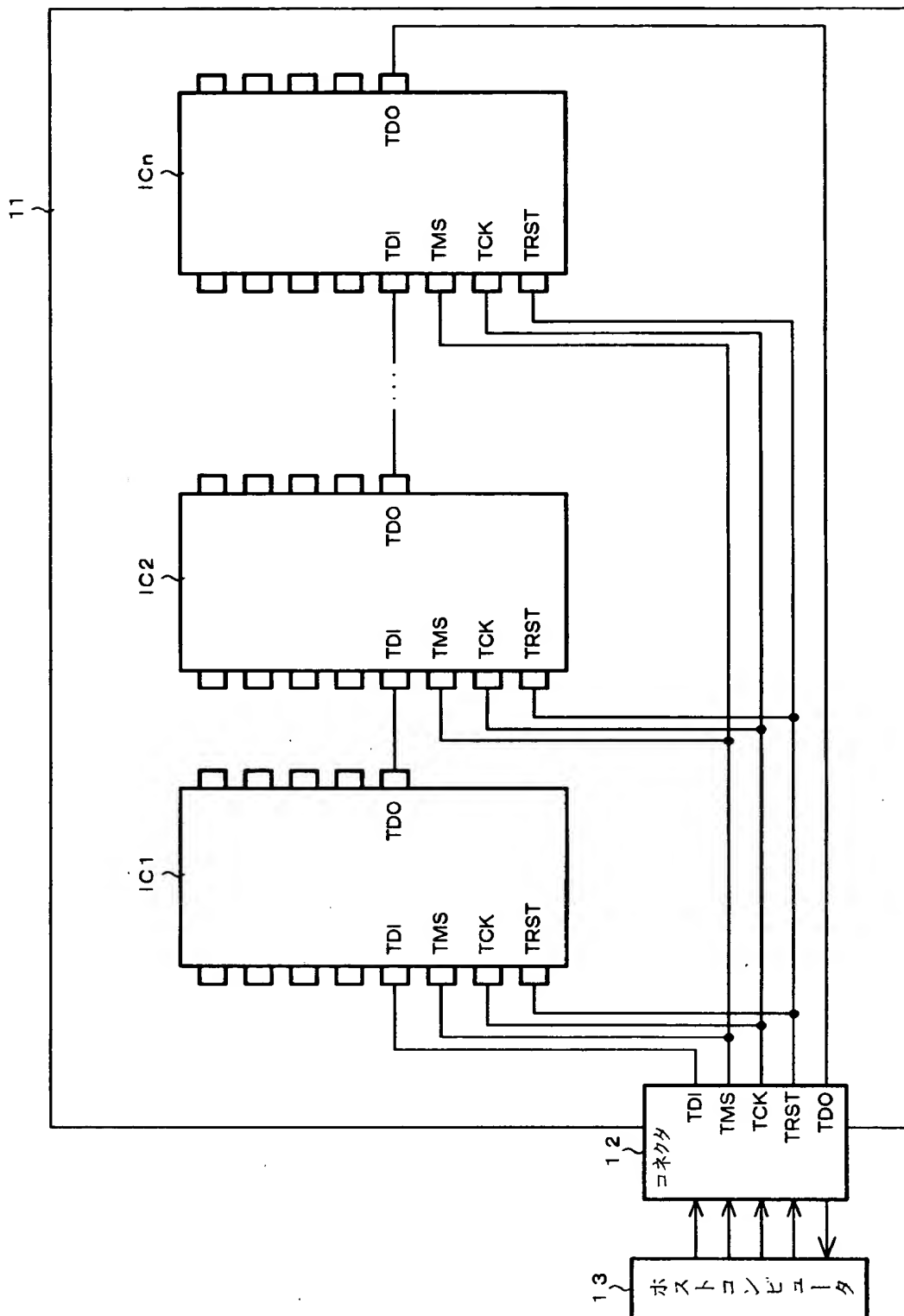
【图 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 複数のチップ *i c 1 a*, *i c 2 a*, *i c 3 a* を一体に封止して成るスタックドデバイス 4 1 において、少ないピン数で、かつ 1 回で、バウンダリスキャンテストを実行可能とする。

【解決手段】 各チップ *i c 1 a* ~ *i c 3 a* には、コアロジックの他に B S R などのレジスタを搭載し、一方そのレジスタの制御を行う T A P C は第 1 段目のチップ *i c 1 a* のみに設け、バウンダリスキャンテストのテスト命令・データ出力および入力の信号線 T D O, T D I をチップ間を接続するワイヤー W O I を介してループ状に接続する。テストに用いる他の信号線 T C K, T M S, T R S T は、前記チップ *i c 1 a* が、その出力信号線 T A P 0 ~ T A P 4 から分配する。これによって、少ないピン数で、かつ 1 回で、テストを実行できるとともに、T A P C を搭載しないチップ *i c 2 a*, *i c 3 a* の工数および面積を削減することができる。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社

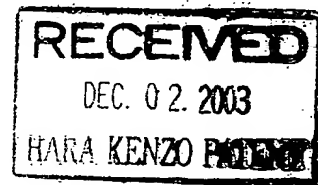
拒絶理由通知書

特許出願の番号	平成11年 特許願 第318485号
起案日	平成15年11月21日
特許庁審査官	関根 洋之 3306 2S00
特許出願人代理人	原 謙三 様
適用条文	第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

<理由1>



この出願は、明細書及び図面の記載が下記の点で、特許法第36条第4項及び第6項に規定する要件を満たしていない。

1 記

請求項3について

(1) 請求項に記載された「第1段目のチップのテスト命令・データ入出力端」および「テスト命令・データの中継入出力端」と、発明の詳細な説明中の「チップ i c 1 a の信号線 T D I , T D O 」および「中継信号線 T D I a , T D O a 」との対応関係が不明瞭である。

(請求項の記載からは、「第1段目のチップのテスト命令・データ入力端」、「第1段目のチップのテスト命令・データ出力端」、「テスト命令・データの中継入力端」、「テスト命令・データの中継出力端」は、それぞれ図5における「i c 1 a の T D I 」、「T D O a 」、「T D I a 」、「i c 1 a の T D O 」を指していると読み取れるが、発明の詳細な説明中段落【0043】には、「チップ i c 1 a の信号線」および「中継信号線」は、それぞれ「T D I , T D O 」および「T D I a , T D O a 」を指していることが記載されている。請求項および発明の詳細な説明の対応関係が明確となるよう補正されたい。)

(2) 最終段のチップのテスト命令・データ出力端を第1段目のチップに接続してループを形成することの技術的意義が不明である。(最終段のチップのテスト命令・データ出力端をループさせずに直接装置のテスト命令・データ出力端の接

続することとの差異を明確にされたい。)

(3) 信号線TAP0およびTAP1を設けることの技術的意義が不明である。

<理由2>

この出願の下記の請求項に係る発明は、その出願前日本国内において頒布された下記の特許文献に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

・請求項1

第1刊行物

・請求項2

第1刊行物、第2刊行物

[備考]

第2刊行物には、ワイヤによりセラミック基板上の電極を介して2つの電子回路部品の外部引き出し用電極を電氣的に接続することが記載されている(特に、第1図および第2頁左上欄第10行～同頁右上欄第1行参照)。

そして、第1刊行物に記載されたような複数の電子回路部品(IC)が設けられた装置において、電子回路部品を接続するために当該技術を採用することは、当業者が容易になし得ることである。

引用文献等一覧

第1刊行物：特開平9-186418号公報

第2刊行物：特開昭55-111151号公報

先行技術文献調査結果の記録

・調査した分野：IPC第7版 G01R 31/28
H01L 27/04

・先行技術文献：特開平4-211842号公報

特開平 3 - 2 4 6 4 7 5 号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知に関する問い合わせ先

特許審査第一部 距離・電気測定 羽飼 知佳

TEL: 03-3581-1101 内線 3256

TRANSLATION OF NOTICE OF REASONS FOR REFUSAL

Serial Number: 99J03002

Mail Number: 421281

Mail Date: December 2, 2003

Patent Application Number: 11-318485

Date Drafted: November 21, 2003

Examiner: Sekine Hiroyuki 3306 2S00

Attorney: HARA Kenzo

Provisions Applied: Sections 29(2) and 36

This application should be refused for the reasons as described below. If the applicant has any argument against this decision, a written argument should be filed to the Patent Office within 60 days from the mailing date of this notice.

Reason

<Reason 1>

The specification and drawings of the application should not be granted a patent under the provision of Patent law Sections 36(4) and 36(6) .

Note

· With regard to Claim 3

(1) It is not clear the correspondences between "the test commands/ data input and output terminals of a chip of a first stage", "a test commands/ data input and output terminals" in the claim and "signal line TDI, TDO of the chip ic1a", "relay signal lines TD1a and TDOa" in a part of the [DETAILED DESCRIPTION OF THE INVENTION] .

(The claim 3 describes that "the test commands/ data input terminal of a chip of a first stage" corresponds to "TDI of ic1a", "the test commands/ data output terminal of a chip of a first stage" corresponds to "TDOa", "a test commands/ data input terminal" corresponds to "TD1a" and "a test commands/ data output terminal" correspond to "TDO of ic1a". However, in Paragraph [0043] as a part of [DETAILED DESCRIPTION OF THE INVENTION] , it is described that "signal line of the chip ic1a" correspond to "TDI, TDO" and "relay signal lines" correspond to "TD1a, TDOa". It should be amended to make it clear the correspondence between the claim and the [DETAILED DESCRIPTION OF THE INVENTION] .

(2) It is not clear the technological significance of connecting a test commands/ data output terminal of a chip of a last stage to the chip of the first stage so as to form a loop.

(The difference between this invention and connecting a test commands/ data output terminal of a chip of a last stage directly to the test commands/ data output terminal of the device without forming the loop should clearly be described.)

(3) The technological significance of providing the signal lines TAP0 and TAP1 is not clear.

<Reason 2>

The invention described in below-indicated claims of the application could easily have been made, prior to the filing of the patent application, by a person with ordinary skill in the art to which the invention pertains, on the basis of an invention or inventions described in a distributed publication as indicated below or made available to the public through electric telecommunication lines in Japan or elsewhere prior to the filing of the patent application. Therefore, the present invention should not be granted a patent under the provision of Patent Law Section 29(2).

Note (See List of References Cited for References Cited)

· Claim 1

· Reference Cited 1

· Claim 2

· References Cited 1 and 2

· Remarks

Cited Reference 2 describes electrically connecting two electrodes, which are set to put electronic circuit parts out, by means of a wire, using the electrode on the ceramic substrate. (Especially, see Figure 1 and from the line 10 in the upper-left part of page 2 through the line 1 in the upper right part of the same page.)

In addition, it can be easily arrived by a person skilled in the art to adopt concerned technology in order to connect electronic circuit parts in the device provided plural electronic circuit parts (IC), which is cited in the Reference 1.

List of References Cited

1. *Tokukaihei* 9-186418
2. *Tokukaisho* 55-111151

Search Report for Prior Art Documents

· Field of Search	Int. Cl. ⁷ G01 R 31/28 H01 L 27/04
· Prior Art Documents	<i>Tokukaihei</i> 4-211842 <i>Tokukaihei</i> 3-246475

These prior art documents found in the search do not constitute grounds for refusal.

Any inquiry concerning these reasons for refusal should be directed to:

UKAI Chika, Distance Electricity Measurement, First Patent Examination Division.

Phone: 03-3581-1101 Ext. 3256